

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 6 月 30 日 (30.06.2005)

PCT

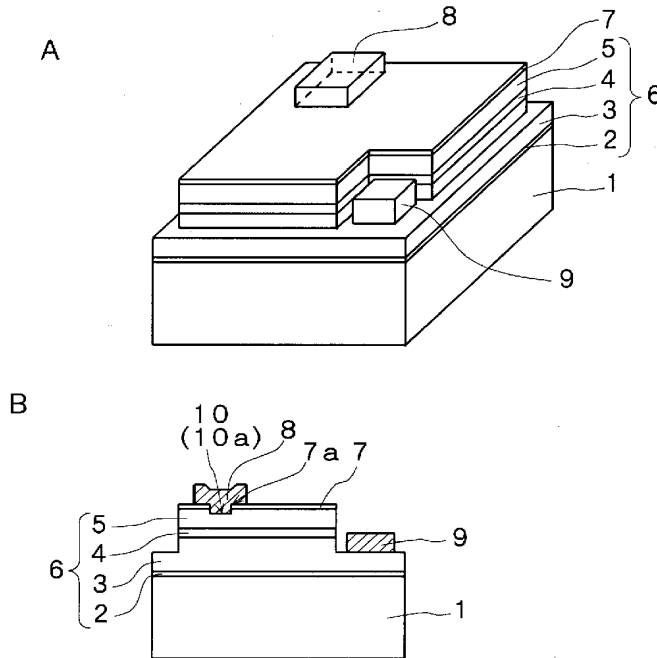
(10) 国際公開番号
WO 2005/060013 A1

- (51) 国際特許分類⁷: H01L 33/00, 5/323 (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (21) 国際出願番号: PCT/JP2004/018810
- (22) 国際出願日: 2004 年 12 月 16 日 (16.12.2004)
- (25) 国際出願の言語: 日本語 (72) 発明者; および
- (26) 国際公開の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 伊藤 範和 (ITO, Norikazu) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 園部 雅之 (SONOBE, Masayuki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 中川 大輔 (NAKAGAWA, Daisuke) [JP/JP];
- (30) 優先権データ:
特願 2003-420923
2003 年 12 月 18 日 (18.12.2003) JP

[続葉有]

(54) Title: SEMICONDUCTOR LIGHT-EMITTING DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体発光素子およびその製法



(57) Abstract: A semiconductor multilayer portion (6) is formed by stacking an n-type gallium nitride compound semiconductor layer (3) and a p-type gallium nitride compound semiconductor layer (5) so as to form a light-emitting portion, and a light-transmitting conductive layer (7) is formed on a surface of the semiconductor multilayer portion. A part of the light-transmitting conductive layer is removed, and an upper electrode (8) is so formed to be in contact with the exposed surface of the semiconductor multilayer portion and the light-transmitting conductive layer. By providing the surface of the semiconductor multilayer portion which is exposed through an opening (7a) of the light-transmitting conductive layer with a current blocking means (10), current is significantly prevented from flowing into a part under the upper electrode while securing good adhesion between the upper electrode and the surface of the semiconductor multilayer portion. Consequently, there can be obtained a semiconductor light-emitting device using a gallium nitride compound wherein the external quantum efficiency is

improved by suppressing light emission under the upper electrode while enhancing adhesion between the upper electrode and the semiconductor layer.

(57) 要約: チッ化ガリウム系化合物半導体層の n 形層 (3) と p 形層 (5) とが発光部を形成するように積層されて半導体積層部 (6) が形成され、その半導体積層部の表面に透光性導電層 (7) が設けられている。この透光性導電層の一部が除去され、露出する半導体積層部の表面および透光性導電層と接触するように上部電極 (8) が設けられている。透光性導電層の開口部 (7a) から露出する半導体積層部の表面に電流阻止手段 (10) が

[続葉有]

WO 2005/060013 A1



〒6158585 京都府京都市右京区西院溝崎町 2 1 番地
ローム株式会社内 Kyoto (JP).

(74) 代理人: 河村 洸 (KAWAMURA, Kiyoshi); 〒5320011
大阪府大阪市淀川区西中島 4 丁目 5 番 1 号 新栄ビ
ル 6 E 河村特許事務所 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,
LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

施されていることにより、上部電極と半導体積層部の表面との密着性を確保しながら上部電極の下側への電流が大幅に阻止される構造に形成されている。その結果、上部電極の下側での発光を抑制することにより外部量子効率を向上させると共に、上部電極と半導体層との密着性を向上させたチツ化ガリウム系化合物を用いた半導体発光素子が得られる。

明 細 書

半導体発光素子およびその製法

技術分野

[0001] 本発明は、チツ化ガリウム系化合物半導体を用いた半導体発光素子に関する。さらに詳しくは、金属からなる上部電極と半導体積層部表面とのオーミックコンタクトを採り難いチツ化ガリウム系化合物半導体からなる半導体積層部表面に上部電極が密着性よく形成されると共に、電流がチップ全体に広がり、かつ、光を表面側に取り出すことができない上部電極の下側には電流を流さないで無駄な発光を阻止することができる構造の半導体発光素子およびその製法に関する。

背景技術

[0002] 従来のチツ化ガリウム系化合物半導体を用いた半導体発光素子は、たとえば図5に示されるような構造に形成されている。すなわち、すなわち、サファイア基板21上に、たとえばGaNからなるバッファ層22、GaNからなるn形層(コンタクト層およびクラッド層)23と、バンドギャップがクラッド層のそれよりも小さく、発光波長を定める材料、たとえばInGaN系(InとGaとの比率が種々変り得ることを意味する、以下同じ)化合物半導体からなる活性層(発光層)24と、p形のGaNからなるp形層(クラッド層)25とが順次エピタキシャル成長され、その表面に、たとえばZnOなどからなる透光性導電層を介して、上部電極(p側電極)28が設けられている。そして、積層された半導体積層部の一部がエッチングにより除去されて露出するn形層23に下部電極(n側電極)29が設けられることにより形成されている。上部電極28は、たとえばTiおよびAuの積層構造、下部電極29は、Ti-Al合金を直接成膜するか、TiとAlをそれぞれ積層して熱処理(アニール処理)をすることにより、合金化されたTi-Al合金層からなり、共に金属層で形成されている。

[0003] なお、n形層23およびp形層25は、キャリアの閉込め効果を向上させるため、少なくとも活性層24側に、AlGaN系(AlとGaの混晶比率が種々変化し得ることを意味する、以下同じ)化合物半導体を用いられることもある。また、チツ化ガリウム系化合物半導体では、p形層のキャリア濃度を大きくすることが難しく、活性化処理を行う必要性

から、一般には半導体積層部の表面側にp形層が設けられることが多い。

[0004] この構造で、p側電極28とn側電極29との間に電圧が印加されると、透光性導電層27を経てp形層25、活性層24およびn形層23を介して電流が流れ、活性層24で電子と正孔との再結合により発光する。しかし、チツ化ガリウム系化合物半導体層、とくにそのp形層は、キャリア濃度を十分に高くすることができず、電流をチップの全体に拡散し難い。そのため、図5に示されるように、p形層の表面に透光性導電層27が設けられ、光を透過させながら、電流をチップの全体に拡散し得るように形成されている。そして、この透光性導電層27の表面に、上部電極(電極パッド)28が形成されている。

[0005] この構造では、透光性導電層27とp形層25との密着性および上部電極28と透光性導電層27との密着性が劣るため、上部電極28上にワイヤボンディングなどをするとう透光性導電層27とp形層25との間に浮きが生じたり、上部電極28の部分が透光性導電層27の表面側または裏面側で剥離したりするという問題がある。このような問題を解決するため、たとえば上部電極28を設ける部分の透光性導電層27を除去して、直接p形層25と密着するように、すなわち透光性導電層27とp形層25との密着性より、上部電極28とp形層25との密着性が優れるような材料により上部電極28を設ける構造が提案されている(たとえば特許文献1参照)。

特許文献1:特開平7-94782号公報

発明の開示

発明が解決しようとする課題

[0006] 前述のように、透光性導電層の表面に上部電極が形成されると、ワイヤボンディング時などに透光導電層の浮きや剥離という問題があると共に、上部電極の下側にも均等に電流が流れ、活性層で発光して上方に進む光は上部電極を透過することができず、吸収されたり反射を繰り返して無駄になり、発光した光を有効に利用することができないという問題がある。一方、透光性導電層の一部に開口部を形成し、その開口部に上部電極を形成しても、上部電極とp形層とのオーミックコンタクト性が劣るとはいえども、上部電極から直接p形層に電流が流れ、上部電極の下側でも発光し、上方に向かった光は上部電極で遮られ、無駄になるという問題がある。この傾向は、

ワイヤボンディングなどにより透光性導電層とp形層との密着性が低下すると相対的に上部電極からp形層に流れる電流が増え、より顕著になる。

[0007] 一方、AlGaAs系化合物半導体やInGaAlP系化合物半導体の場合には、上部電極の下側に絶縁層を入れたり、異なる導電形層を設けたりして上部電極の下側にできるだけ電流を流さない工夫はなされている。しかし、チッ化ガリウム系化合物半導体では、絶縁膜成膜時および絶縁膜のドライエッチング時のプラズマによるダメージのため、上部電極形成場所以外の部分のオーミック接触性が悪化してしまい、同様の対策を施すことができない。

[0008] 本発明は、このような状況に鑑みてなされたもので、チッ化ガリウム系化合物半導体からなる発光素子において、上部電極の下側での発光を抑制することにより外部量子効率を向上させると共に、上部電極と半導体層との密着性を良好に維持するチッ化ガリウム系化合物を用いた半導体発光素子を提供することを目的とする。

[0009] 本発明の他の目的は、チッ化ガリウム系化合物半導体において、上部電極の下側のみに部分的に電流が流れ難くなる電流阻止手段を形成しながら、他の部分には影響をあたえないで、外部量子効率を向上させることができる半導体発光素子の製法を提供することにある。

課題を解決するための手段

[0010] 本発明による半導体発光素子は、チッ化ガリウム系化合物半導体層のn形層とp形層とが発光部を形成するように積層された半導体積層部と、該半導体積層部の表面に設けられる透光性導電層と、該透光性導電層の一部が除去され、露出する前記半導体積層部の表面および前記透光性導電層と接触するように設けられる上部電極とを有し、前記透光性導電層の一部が除去されることにより露出する前記半導体積層部表面に電流阻止手段が施されることにより、前記上部電極と前記半導体積層部表面との密着性を確保しながら該上部電極の下側への電流が阻止される構造に形成されている。

[0011] ここにチッ化ガリウム系化合物半導体とは、III族元素のGaとV族元素のNとの化合物またはIII族元素のGaの一部または全部がAl、Inなどの他のIII族元素と置換したもの、および／またはV族元素のNの一部がP、Asなどの他のV族元素と置換したチッ

化物化合物を意味する。また、上部電極とは、基板上に積層される半導体層のより上部の半導体層に接続して設けられる電極を意味する。

[0012] 前記電流阻止手段は、前記透光性導電層の除去により露出する前記半導体積層部の表面に形成される凹部であってもよいし、前記透光性導電層の除去により露出する前記半導体積層部の表面に形成される酸素含有層であってもよい。

[0013] 本発明による半導体発光素子の製法は、基板表面にn形層およびp形層を含み発光部を形成するようにチツ化ガリウム系化合物半導体層を積層することにより半導体積層部を形成し、該半導体積層部表面に透光性導電層を形成し、該透光性導電層の上部電極形成場所の一部をエッチングにより除去して前記半導体積層部の表面を露出させ、該エッチングにより一部露出した前記半導体積層部の表面を酸素プラズマ雰囲気中に晒すことにより該表面を電流阻止領域とし、該電流阻止領域とした前記半導体積層部の表面および前記透光性導電層の開口部近傍に密着するように上部電極を形成することを特徴とする。

[0014] 本発明による製法の他の形態は、前記酸素プラズマ雰囲気に晒すことに代えて、ドライエッチングにより、前記露出した半導体積層部の表面に凹部を形成し、該凹部内の露出面および前記透光性導電層の開口部近傍に密着するように上部電極を形成することを特徴とする。

発明の効果

[0015] 本発明によれば、チツ化ガリウム系化合物半導体からなり発光部を形成するように積層された半導体積層部の表面に透光性導電層が形成され、上部電極が形成される部分の透光性導電層が除去されて露出する半導体積層部表面に電流阻止手段が形成され、その露出した半導体積層部表面に密着するように上部電極が設けられているため、上部電極と半導体積層部との密着性を確保しながら、上部電極の下側への電流の流れを殆ど阻止することができ、発光しても表面側に取り出すことができない上部電極の下側での発光を阻止することができる。その結果、無駄な発光を阻止して、発光した光を効率的に外部に取り出すことができ、外部量子効率を大幅に向上させることができる。

[0016] また、本発明の製法によれば、透光性導電層を半導体積層部表面に形成した後に

、上部電極を形成する場所の透光性導電層を除去して半導体積層部を露出させ、酸素プラズマ雰囲気中に晒しているため、酸素プラズマによる酸素がチツ化ガリウム系化合物半導体層表面に取り込まれ(酸化され)、非常に電流の流れ難い電流阻止領域が形成される。一方、透光性導電層が除去されていない上部電極の形成されない場所は、透光性導電層で被覆されており、透光性導電層は酸素プラズマに晒されても何ら影響を受けないため、透光性導電層からの電流に何らの影響を及ぼさない。すなわち、従来のGaAs系半導体発光素子で行われるように、電流を部分的に阻止するため、半導体層の導電形を部分的に変えたり、部分的に絶縁層を形成したりすると、部分的に絶縁膜などによるマスクを形成する必要がある、その成膜時やドライエッチングによる除去時などにより、電流を阻止する領域以外のオーミックコンタクト性を悪化させてしまうが、本発明の製法によれば、上部電極形成部以外の部分は透光性導電層により被覆された状態で、上部電極の形成場所のみに電流阻止手段を施しているため、上部電極形成場所以外の部分には何ら影響を及ぼすことがない。

[0017] 上記酸素プラズマに晒すだけではなく、ドライエッチングにより露出した半導体積層部表面をエッチングすることにより、ドライエッチングのArイオンなどにより半導体積層部の表面が荒らされ、同様に電流を大幅に阻止することができる。この場合も、上部電極形成場所以外の半導体積層部表面は透光性導電層により被覆されており、Ni-Au、ZnOなどからなる透光性導電層はGaN系化合物よりエッチングされにくい、ため、半導体積層部には何ら影響を受けることなく、上部電極の下側のみに電流阻止手段を施すことができる。

図面の簡単な説明

[0018] [図1]図1Aおよび1Bは、本発明による半導体発光素子の斜視および断面の平面説明図である。

[図2]図2は、図1の半導体発光素子の電流阻止手段の他の例を示す断面説明図である。

[図3]図3A〜3Cは、GaN層表面をドライエッチングしたときの電圧(V)・電流(I)特性が低下する様子を示す図である。

[図4]図4A〜4Dは、図1の半導体発光素子の製造工程を示す図である。

[図5]図5は、従来の半導体発光素子の一例を示す断面説明図である。

符号の説明

- [0019] 3 n形層
- 4 活性層
- 5 p形層
- 6 半導体積層部
- 7 透光性導電層
- 8 上部電極
- 9 下部電極
- 10 電流阻止手段
- 10a 凹部

発明を実施するための最良の形態

[0020] つぎに、本発明の半導体発光素子およびその製法について、図面を参照しながら説明をする。本発明による半導体発光素子は、その一実施形態の斜視および断面の説明図が図1に示されるように、チツ化ガリウム系化合物半導体のn形層3とp形層5とが発光部を形成するように積層されて半導体積層部6が形成され、その半導体積層部6の表面に透光性導電層7が設けられている。この透光性導電層7の一部が除去され、露出する半導体積層部6の表面および透光性導電層7と接触するように上部電極(電極パッド)8が設けられている。本発明では、透光性導電層7の一部が除去され、開口部7aから露出する半導体積層部6の表面に電流阻止手段10(10a)が施されていることにより、上部電極8と半導体積層部6の表面との密着性を確保しながら上部電極8の下側への電流が大幅に阻止される構造に形成されている。

[0021] 電流阻止手段10としては、透光性導電層7の除去により露出する半導体積層部6の表面に形成される凹部10aであってもよいし、図2に示されるように、透光性導電層7の除去により露出する半導体積層部6の表面に形成される酸素含有層10bであってもよい。

[0022] 本発明者らは、p形チツ化ガリウム系化合物半導体層表面をドライエッチングしたり、酸素プラズマ雰囲気に晒したりすると、その表面に形成した金属膜間の電流が流

れ難くなる現象を見出し、その検証を行った。すなわち、図3Aに示されるように、p形GaN層11の表面に直接ZnOのようなp形GaN層とオーミックコンタクトを採りやすい導電層により一対の電極12、13を形成した場合と、図3Bに示されるように、p形GaN層11の表面をドライエッチングにより数十nmの深さエッチングして凹部11aを形成した場合との両方で、一対の電極12、13間に電圧Vを印加して電圧の変化に対する電流の変化を調べた。その結果、図3Cに示されるように、p形GaN層11表面にエッチングを施すことなく電極12、13を形成した場合Aは電圧電流特性がリニアで、電圧の増加と共に電流が増加するのに対して、p形GaN層11の表面にドライエッチングを施した後に電極12、13を形成した場合Bの電圧電流特性は、3〜5V程度までの低い電圧では殆ど電流が流れず、非線形の特性になることを見出した。

[0023] なお、一対の電極12、13にするためにZnOなどの導電層をパターニングする必要があるが、そのエッチング液は希塩酸などであり、GaN層11表面は殆どダメージがなく、影響を受けないため、図3CのAのように殆どオーミックコンタクトが得られている。すなわち、電極12、13とp形GaN層11との間の電氣的接触の差が図3Cに現れている。

[0024] この原因は、ドライエッチングの際のArイオンなどによる衝撃により、p形GaN層11の結晶構造がダメージを受け、キャリアの移動が抑制されるものと考えられる。これは、p形のチツ化ガリウム系化合物半導体層のキャリア濃度を上げ難いという性質とも絡んで、より顕著に現れるもので、GaAs系(AlGaAs系やInGaAlP系)化合物半導体などでは見られないチツ化ガリウム系化合物半導体層に特有の現象と考えられる。この電極とp形GaN層との電氣的接触性は、イオン衝撃によるドライエッチングではなく、p形GaN層11の表面を酸素プラズマ雰囲気中に晒すだけでも同様の現象が見られた。すなわち、p形GaN層11の表面を酸素プラズマ雰囲気中に30分間晒した後に、図3Bと同様にZnO層により一対の電極を形成して、その一対の電極間に同様に電圧を印加した結果、図3CのBと同様の結果になった。これは、ドライエッチングのようにイオン衝撃を受けるものではないが、雰囲気中の酸素がGaN層に採り込まれ、酸素と化合するGaが現れ、キャリアの移動を抑制するものと考えられる。

[0025] 本発明は、この現象を利用し、透光性導電層を一部除去することにより露出した、

半導体積層部表面に直接接触するように上部電極(電極パッド)を形成すると共に、その上部電極と接触する部分の半導体積層部表面に前述の非オーミックコンタクトとなる電流阻止手段10を形成したものである。すなわち、従来のGaAs系化合物で行われるように、電流を阻止したい場所に絶縁物層や周囲の導電形と異なる導電形層を形成する方法をチツ化ガリウム系化合物半導体、とくにp形チツ化ガリウム系化合物半導体層に適用しようとする、電流を阻止したい場所以外のp形半導体層などの表面の導電性を低下させ、表面に透光性導電層を形成しても透光性導電層と半導体層とのオーミックコンタクトが得られないという問題がある。しかし、本発明の電流阻止手段によれば、透光性導電層を形成した後に電流を阻止したい上部電極形成場所のみの透光性導電層を除去して半導体積層部の表面を露出させ、そのままの状態ですべての表面に電流阻止手段が形成されているため、上部電極と半導体積層部表面とが非オーミックコンタクトとなり、上部電極の下側のみの電流が阻止され、他の部分は非常に良好なオーミックコンタクトが得られる。

[0026] 図1に示される例は、上部電極8の形成場所における透光性導電層7が除去されて開口部7aが形成され、その開口部7aにより露出した半導体積層部6の表面にドライエッチングによる凹部10aが電流阻止手段10として形成されている。すなわち、透光性導電層7も含めた全面にArイオンとCl₂ガスとによるドライエッチングが施されることにより、透光性導電層7およびその下部の半導体積層部6には何ら影響がなく、開口部7aから露出した半導体積層部6の表面のみが10〜50nm程度エッチングされて凹部10aが形成される。そして、この凹部10a内および開口部7a周囲の透光性導電層7上部にかかるように、上部電極(電極パッド)8が、たとえば0.01〜0.05 μm程度厚のTi層と0.2〜1 μm程度厚のAu層との積層構造により形成されている。この凹部10aの表面は、前述の図3CのBに示されるように、電極材料とは非常にオーミック特性が低下し、殆ど電流が流れなくなる。

[0027] この電流阻止手段10は、前述のように、ドライエッチングによる凹部10aの形成でなくとも、酸素プラズマ雰囲気中に晒すことにより、酸素が採り込まれた層(酸化物層)を形成することによっても得られる。その例が図2に示されている。図2において、10bが酸素プラズマ中に半導体積層部6の表面を晒した結果生じた酸化物層を示してお

り、前述と同様に、上部電極8の形成場所における透光性導電層7を開口して半導体積層部6の一部を露出させ、たとえば酸素(O_2)ガスの雰囲気中で、プラズマ電源のパワーを200W〜400Wにして5〜30分程度放置することにより、半導体積層部6の露出面の表面部に酸化物層10bが形成され、電流阻止手段10として機能する。他の上部電極8の形成などは前述の図1に示される例と同じである。

[0028] この電流阻止手段10を介して上部電極8が直接半導体積層部6の表面に設けられる構造以外の部分は、従来のチツ化ガリウム系化合物半導体発光素子の構造と同様に形成することができる。図1に示される例では、基板1として、C面を主面とするサファイア(Al_2O_3 単結晶)基板が用いられるが、これに限定されず、他の面を主面とするサファイア基板であってもよい。また、基板1は、絶縁性基板でもよいが、炭化ケイ素(SiC)、 GaN 、 $GaAs$ 、 Si などの半導体基板を用いることもできる。基板1として絶縁性基板が用いられる場合には、基板の裏面から電極を取り出すことができないため、後述するように半導体積層部6の一部をエッチング除去して下層の導電形層(図1の例ではn形層3)を露出させる必要がある。

[0029] 半導体積層部6は、図1に示される例では、バッファ層2、n形層3、活性層4、p形層5とからなっている。バッファ層2は、基板と積層する半導体層との格子定数が大きく異なるとか、基板1上に直接チツ化ガリウム系化合物半導体層を結晶性よく積層し難い状態のときに設けられるもので、そのような問題がなければ不要である。たとえば $Al_xGa_yIn_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$ 、たとえば $x=1$, $y=0$)などの組成で、400〜600℃程度の低温で形成される。そして、発光層を形成する積層部は、図1に示される例では、活性層4をn形層3とp形層5とで挟持するダブルヘテロ接合構造としているが、このような構造には限定されず、ホモまたはシングルヘテロのpn接合で構成したものでもよい。この発光層を形成する半導体層は、700〜1000℃程度の高温で形成される。また、一般にはp形層の活性化のためp形層が上面側に形成される場合が多いが、p形層が下層でn形層が上層でも構わない。

[0030] n形層3およびp形層5は、図1に示される例では、それぞれ単層の例が示されているが、一般的には、たとえば電極形成部には、コンタクト層としてキャリア濃度を大きくしやすい GaN 層で形成し、活性層側にはキャリアを閉じ込めやすくするため、活性層

4よりもバンドギャップの大きいAlGa_N系化合物で構成する場合が多く、さらに他の機能をもたすために多層にすることもできる。また、格子定数の異なる層を積層するため、超格子構造にすることもできる。しかし、これらの機能を満たす単層で形成されてもよい。また、各層の厚さもそれぞれ目的に応じて形成されるが、たとえばn形層3としては、全体で3〜10 μm程度に、p形層5としては、全体で0.1〜1 μm程度に形成される。なお、n形層3にするには、一般にはSe、Si、Ge、Teなどを、また、p形層5にするには、Mg、Znなどをドーパントとしてチツ化ガリウム系化合物半導体にドーピングすることにより得られる。

[0031] このp形層5は、p形ドーパントのMgなどが水素(H)と化合してドーパントとしての機能を果し難いため、活性化処理が行われることが好ましい。この活性化処理は、たとえばN₂雰囲気中で、600〜800℃、10分〜1時間程度の熱処理により行われるが、このような熱処理に限られるものではなく、電子線照射などの方法で行ってもよい。この活性化処理の際に、p形層表面には保護膜を形成して行うこともできるし、保護膜なしで行うこともできる。

[0032] 活性層4は、発光させる光の波長に応じたバンドギャップエネルギーを有する材料が選択され、たとえば波長が460〜470nmの青色発光をさせる場合、In_{0.15}Ga_{0.85}Nからなるバルク構造のもの、またはInGa_Nからなるウェル層とGa_Nからなるバリア層との単一もしくは多重の量子井戸構造に形成され、全体で0.01〜0.2 μm程度に形成される。活性層4はノンドープで形成されるが、p形もしくはn形でも構わない。

[0033] 透光性導電層7は、たとえばNiとAuを積層して合金化し2〜100nm程度の厚さに形成されたものや、ZnO層、またはITO層などの光を透過しながら、チップの全面に電流を拡散しやすいように導電性で、かつ、p形層5とのオーミックコンタクトを得やすい材料により形成される。ZnO層やITO層は、厚くても透光性があるため、たとえば0.3〜2 μm程度の厚さに形成される。図1に示される例では、ZnO層が0.3 μm程度の厚さで透光性導電層7として形成されている。

[0034] 上部電極8は、図1に示される例では半導体積層部6の上面側がp形層5であるため、p側電極として形成されており、たとえばTi/Au、Pd/AuまたはNi/Auなどの積層構造で、全体として0.2〜1 μm程度の厚さに形成され、下部電極9(n側電極)

は、たとえばTi-AlまたはTi-Auなどの合金層で、全体として0.2〜1 μm 程度の厚さに形成される。

[0035] つぎに、図1に示される半導体発光素子の製法について、図4を参照しながら説明をする。まず、基板1を、たとえばMOCVD(有機金属化学気相成長)装置内にセッティングし、成長する半導体層の成分ガス、たとえばトリメチルガリウム(TMG)、トリメチルアルミニウム(TMA)、トリメチルインジウム(TMI)、アンモニアガス(NH_3)、n形ドーパントガスとしての H_2Se 、 SiH_4 、 GeH_4 、 TeH_4 のいずれか、また、p形ドーパントガスとしてのジメチル亜鉛(DMZn)もしくはビスエチルシクロペンタジエニルマグネシウムのうちの必要なガスをキャリアガスの H_2 または N_2 と共に導入し、図4Aに示されるように、たとえばGaNからなるバッファ層2を400〜600°C程度で0.01〜0.03 μm 程度堆積する。ついで、2〜10 μm 厚のn形GaN系層と0.1〜0.8 μm 厚のn形AlGaN系層からなるn形層3、0.01〜0.1 μm 厚のInGaN系からなる活性層4、および0.05〜0.4 μm 厚のp形AlGaN系層と0.05〜0.5 μm 厚のp形GaN系層からなるp形層5とをそれぞれ順次エピタキシャル成長することにより、半導体積層部6を形成する。

[0036] その後、 N_2 雰囲気中で、600〜800°C、30分程度の熱処理を行ってp形層5の活性化処理を行う。ついで、真空蒸着法またはスパッタ法などにより、ZnO層を0.4〜1 μm 程度成膜し、透光性導電層7を形成する。そして、下部電極(n側電極)9を形成するため、塩素ガスによる反応性イオンエッチングにより、チップの一部における半導体積層部6をエッチングしてn形層3の一部を露出させる。この際、図1Aに示されるように、各チップに分割する境界部の近傍の半導体積層部6もエッチングする場合もあるが、境界部のエッチングはしなくてもよい。その後、表面にレジスト膜を設けて、上部電極(p側電極)を形成する場所のみ開口し、希塩酸などのエッチング液により、レジスト膜の開口により露出する透光性導電層7の一部を除去して、図4Bに示されるように、透光性導電層7に開口部7aを形成する。そして、そのまま Ar と Cl_2 ガスによるドライエッチングを行うことにより、図4Cに示されるように、開口部7aから露出する半導体積層部6表面に凹部10aを形成する。この凹部10aの深さは、数十nm程度である。

[0037] その後、図4Dに示されるように、たとえばリフトオフ法によりTi膜を0.1 μm 程度と、

Au膜を $0.4\ \mu\text{m}$ 程度それぞれ真空蒸着などにより成膜して上部電極8を、同様にTi膜を $0.1\ \mu\text{m}$ 程度とAl膜を $0.3\ \mu\text{m}$ 程度成膜してシンターすることにより合金化して下部電極(n側電極)9を形成する。この上部電極8および下部電極9は、ワイヤボンディングなどによりリード端子などと接続する電極パッドである。そして、チップ化することにより、図1に示される発光素子チップが得られる。

[0038] 図2の構造の半導体発光素子を製造するには、前述の透光性導電層7に開口部7aを形成した後に、ドライエッチングを行わないで、そのまま酸素プラズマ雰囲気中に10〜30分程度晒すだけで、後の工程は前述の製造工程と全く同様に行えばよい。

[0039] 本発明の半導体発光素子によれば、上部電極が透光性導電層の一部が除去されて露出する半導体積層部表面に密着すると共に、透光性導電層にも密着して設けられ、かつ、上部電極と半導体積層部表面との接触部に電流阻止手段が形成されているため、上部電極と半導体積層部とは強力に固着されながら、電氣的には非オーミックコンタクトとなる。その結果、上部電極8と下部電極9との間に電圧が印加されると、上部電極8の下側には殆ど電流が流れないで、透光性導電層7を経て周囲の半導体積層部に電流が流れる。そのため、上部電極8の下側の活性層では殆ど発光作用が起らない。すなわち、上部電極の下側で発光して、真上に向かう光は上部電極が金属膜で光を透過させないため無駄になってしまうが、本発明によれば、上部電極の下側での発光は殆ど起らない。その結果、発光する光は有効に取り出しやすく、外部に取り出し難い光は発光そのものを抑制しているため、無駄な電流を使うことなく、外部量子効率を大幅に向上させることができる。

産業上の利用可能性

[0040] 本発明は、液晶表示装置などのバックライト、白色や青色系などの各種発光素子、照明装置など、幅広い分野で光源として用いることができる。

請求の範囲

- [1] チッ化ガリウム系化合物半導体層のn形層とp形層とが発光部を形成するように積層された半導体積層部と、該半導体積層部の表面に設けられる透光性導電層と、該透光性導電層の一部が除去され、露出する前記半導体積層部の表面および前記透光性導電層と接触するように設けられる上部電極とを有し、前記透光性導電層の一部が除去されることにより露出する前記半導体積層部表面に電流阻止手段が施されることにより、前記上部電極と前記半導体積層部表面との密着性を確保しながら該上部電極の下側への電流が阻止される構造である半導体発光素子。
- [2] 前記電流阻止手段が、前記透光性導電層の除去により露出する前記半導体積層部の表面に形成される凹部である請求項1記載の半導体発光素子。
- [3] 前記電流阻止手段が、前記透光性導電層の除去により露出する前記半導体積層部の表面に形成される酸素含有層である請求項1記載の半導体発光素子。
- [4] 前記凹部が10〜50nmの深さに形成されてなる請求項3記載の半導体発光素子。
- [5] 基板表面にn形層およびp形層を含み発光部を形成するようにチッ化ガリウム系化合物半導体層を積層することにより半導体積層部を形成し、該半導体積層部表面に透光性導電層を形成し、該透光性導電層の上部電極形成場所の一部をエッチングにより除去して前記半導体積層部の表面を露出させ、該エッチングにより一部露出した前記半導体積層部の表面を酸素プラズマ雰囲気に晒すことにより該表面を電流阻止領域とし、該電流阻止領域とした前記半導体積層部の表面および前記透光性導電層の開口部近傍に密着するように上部電極を形成することを特徴とする半導体発光素子の製法。
- [6] 請求項5記載の製法において、前記酸素プラズマ雰囲気に晒すことに代えて、ドライエッチングにより、前記露出した半導体積層部の表面に凹部を形成し、該凹部内の露出面および前記透光性導電層の開口部近傍に密着するように上部電極を形成することを特徴とする半導体発光素子の製法。
- [7] 前記酸素プラズマによる処理をプラズマ電源のパワーが200W〜400Wで5〜30分行う請求項5記載の半導体発光素子の製法。

[1]

FIG. 1A

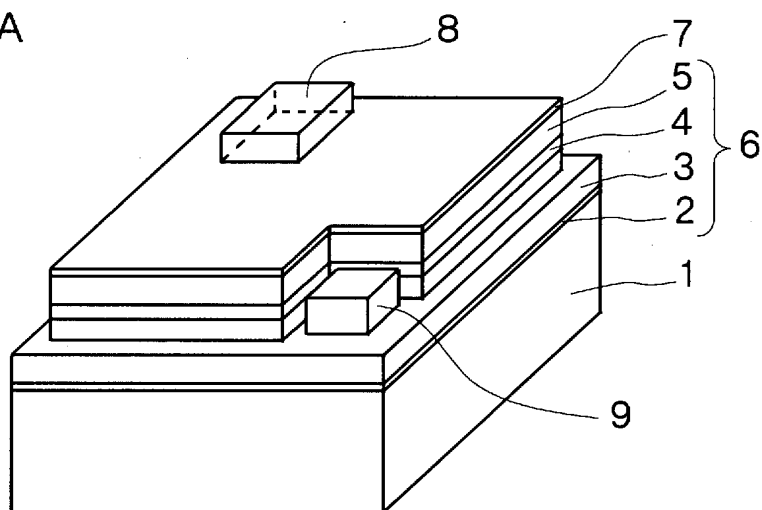
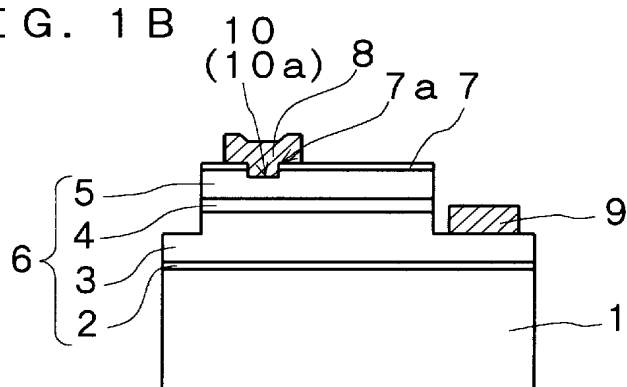
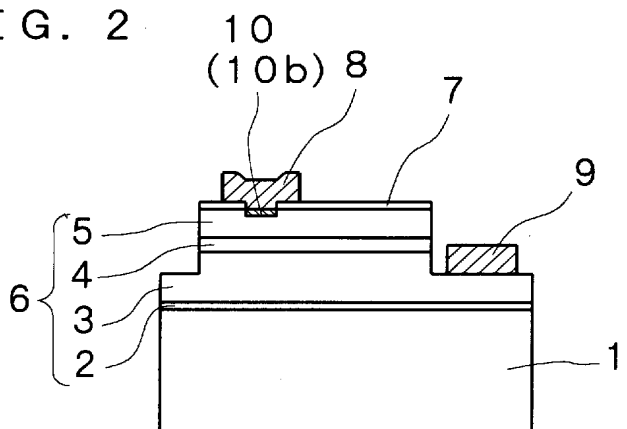


FIG. 1B



[2]

FIG. 2



[図3]

FIG. 3A

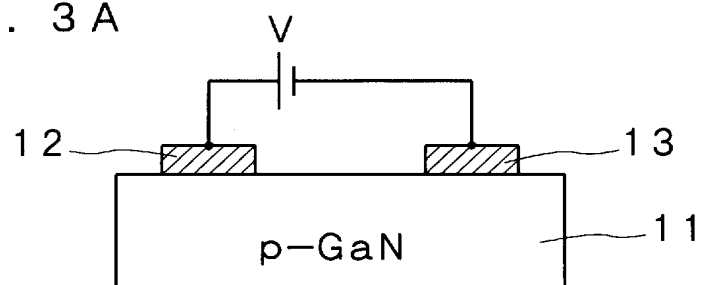


FIG. 3B

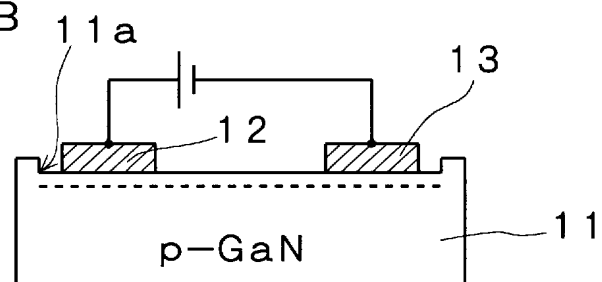
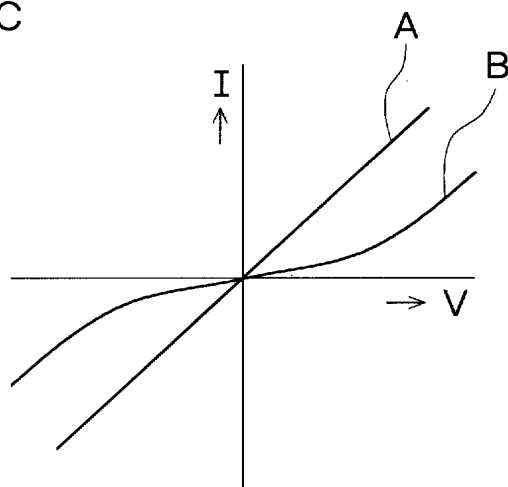


FIG. 3C



[図4]

FIG. 4A

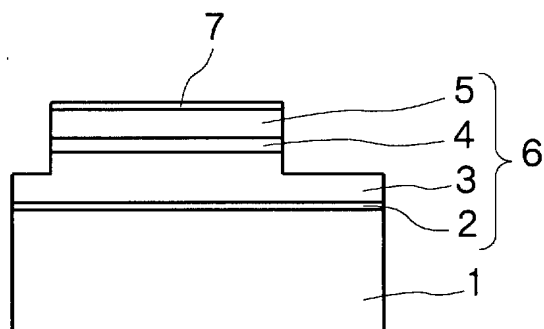


FIG. 4B

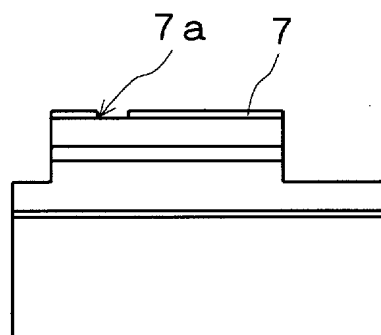


FIG. 4C

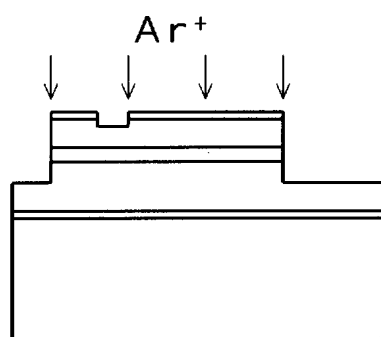
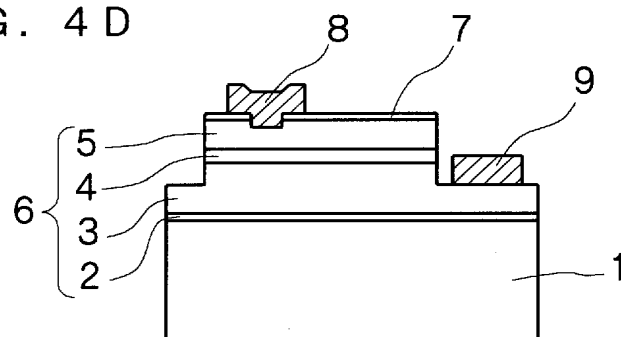
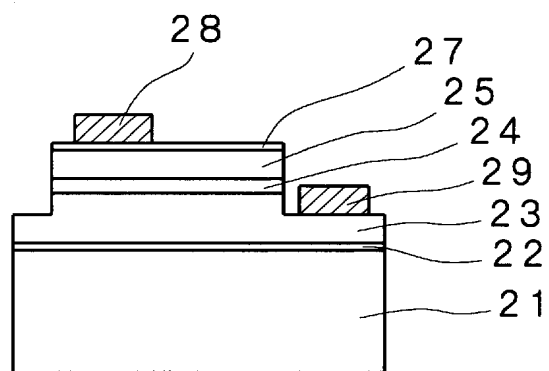


FIG. 4D



[図5]

FIG. 5



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018810

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L33/00, H01L5/323

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L33/00, H01L5/323

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 10-173224 A (Toshiba Corp.), 26 June, 1998 (26.06.98), Par. Nos. [0038], [0046] to [0047]; Figs. 5(B), 10(C) & US 5977566 A	1
Y	JP 11-17220 A (Shogen Kodan Kofun Yugen Koshi), 22 January, 1999 (22.01.99), Fig. 4 & US 6057562 A & DE 19817368 A & TW 417308 B	1, 2, 4, 6
Y	JP 11-135834 A (Matsushita Electric Industrial Co., Ltd.), 21 May, 1999 (21.05.99), Par. Nos. [0078] to [0099]; Figs. 5 to 6 & US 6169296 B & EP 911887 A	1, 3, 5, 7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 March, 2005 (02.03.05)

Date of mailing of the international search report
22 March, 2005 (22.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018810

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-94782 A (Nichia Chemical Industries, Ltd.), 07 April, 1995 (07.04.95), Full text; all drawings & US 5563422 A & EP 622858 A	1-7
E,X	JP 2004-186544 A (Hitachi Cable, Ltd.), 02 July, 2004 (02.07.04), Full text; all drawings (Family: none)	1,3,5

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L33/00, H01L5/323

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L33/00, H01L5/323

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2005年
 日本国登録実用新案公報 1994-2005年
 日本国実用新案登録公報 1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 10-173224 A (株式会社東芝) 1998.06.26, 【0038】, 【0046】-【0047】, 図5 (B) 及び図10 (C) & US 5977566 A	1
Y	JP 11-17220 A (晶元光電股▲ふん▼有限公司) 1999.01.22, 図4 & US 6057562 A & D E 19817368 A & TW 417308 B	1, 2, 4, 6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

02.03.2005

国際調査報告の発送日

22.03.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

土屋 知久

2K

8826

電話番号 03-3581-1101 内線 3253

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 11-135834 A (松下電器産業株式会社) 199 9.05.21, 【0078】-【0099】, 図5-6 & U S 6169296 B & EP 911887 A	1、3、5、 7
Y	J P 7-94782 A (日亜化学工業株式会社) 1995.0 4.07, 全文, 全図 & US 5563422 A & EP 622858 A	1-7
EX	J P 2004-186544 A (日立電線株式会社) 200 4.07.02, 全文, 全図 (ファミリーなし)	1、3、5